

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

This Page Blank (uspto)



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 43 05 288 A 1**

⑤1 Int. Cl.⁵:
G 01 R 31/318

②1 Aktenzeichen: P 43 05 288.6
②2 Anmeldetag: 20. 2. 93
④3 Offenlegungstag: 25. 8. 94

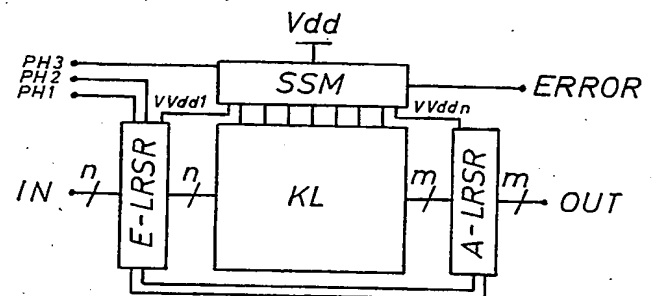
DE 43 05 288 A 1

⑦1 Anmelder:
Robert Bosch GmbH, 70469 Stuttgart, DE

⑦2 Erfinder:
Kessel, Frank, Dipl.-Ing., 7410 Reutlingen, DE

⑤4 Selbsttestverfahren für nicht-reguläre CMOS-Schaltstrukturen mit hoher Defekterfassung

⑤7 Die Erfindung betrifft ein Selbsttestverfahren für nicht-reguläre CMOS-Schaltstrukturen mit hoher Defekterfassung, wobei eine Kombination eines Selbsttests mit linear rückgekoppelten Schieberegistern mit dem Prinzip der Sensierung der statischen Stromaufnahme und der Partitionierung der zu testenden Schaltung verwendet wird. Diese Kombination beider Testprinzipien führt vorteilhaft zu einer hohen Erfassung von parametrischen Fehlern, wie Verzögerungsfehlern, hochohmigen Brückenfehlern und funktionalen Fehlern, wie stuck-at-, stuck-open- und niederohmigen Brückenfehlern bei einem relativ geringen Hardware-Mehraufwand.



DE 43 05 288 A 1

Die folgenden Angaben sind von dem Anmelder eingereichte Unterlagen entnommen

BUNDESDRUCKEREI 06. 94 408 034/224

6/31

Stand der Technik

Die Erfindung betrifft ein Selbsttestverfahren für nicht-reguläre CMOS-Schaltstrukturen mit hoher Defekterfassung nach dem Oberbegriff des Anspruchs 1.

Ein bekanntes Selbsttestverfahren (Koenemann, B.; Mucha, J.; Zwiehoff, G.; Built-In Logic Block Observation Techniques; IEEE Int'l Test Conference, 1979) verwendet linear rückgekoppelte Schieberegister zur Erzeugung von Echtzeit-Teststimuli und zur Komprimierung der Testantworten. Es wird dabei der Datenfluß an internen Testpunkten von komplexen, digitalen Schaltungen beobachtet. Da bei diesem Verfahren die Reaktion der Schaltung auf die Teststimuli nur an den primären Ausgängen der Schaltung erfaßt wird, können Brückenfehler nicht sicher, bestimmte stuck-at-Fehler nur schwer und redundante stuck-at-Fehler gar nicht erkannt werden. In anderen bekannten Selbsttestverfahren (Chang, T.; Wang, C.; Hsu, J.; Two Schemes for Detecting CMOS Analog Faults; IEEE Journal of Solid-State Circuits, Vol. 27, No. 2, Feb. 1992; oder Favalli M. et al.; Novel Design for Testability Schemes for CMOS IC's; IEEE Journal of Solid-State Circuits, Vol. 25, No. 5, Oct. 1990) werden eingebaute Stromsensoren zur Sensierung der statischen Stromaufnahme (Iddq-Monitoring) verwendet.

Vorteile der Erfindung

Das erfindungsgemäße Verfahren besteht aus einer Kombination des Selbsttests mit linear rückgekoppelten Schieberegistern mit dem Selbsttestprinzip der Sensierung der statischen Stromaufnahme in Verbindung mit einer Partitionierung der zu testenden Schaltung (kombinatorische Logik). Es können verschiedene Testmodi, abhängig von der Beschaltung (von PH1 — PH3) realisiert werden. Zunächst ist zu unterscheiden zwischen einem "logischen Test" und einem "Iddq-Test" (Sensierung der statischen Stromaufnahme). Beim logischen Test wird die Reaktion der Schaltung auf die Teststimuli des Eingangsregisters an den primären Ausgängen der Schaltung (Ausgangsregister) beobachtet. Dieser Test wird in Echtzeit ausgeführt und ermöglicht die Erkennung von stuck-at-, stuck-open-, Verzögerungsfehlern und zum Teil auch von Brückenfehlern.

Beim Iddq-Test wird die Reaktion der Schaltung durch die Teilstromsensoren beobachtet. Dabei können Kurzschlußfehler (stuck-at-Fehler und Brückenfehler) bis zu einer maximalen Größe R_{smax} sicher erkannt werden, sofern sie stimuliert wurden. Da die Beobachtung beim Iddq-Test durch den Stromsensor erfolgt, muß der Fehler nur stimuliert werden (Steuerbarkeit). Dies führt durch den Wegfall des Beobachtbarkeitsproblems, welches beim logischen Test auftritt, zu einer erhöhten Fehlerentdeckungsrates pro Testvektor bzw. zu einer Reduktion der Gesamtzahl der benötigten Testvektoren.

Weiterhin ergeben sich durch den Stromsensor folgende Vorteile:

Sichere Erkennbarkeit von Brückenfehlern, welche in CMOS-Schaltungen einen hohen Anteil der Defekte darstellen,

A-priori-Erkennung hochohmiger Kurzschlußfehler, bevor diese sich als logische Fehler auswirken, z. B. Gate-Oxide-Shorts, und damit Erhöhung der Zuverlässigkeit der Schaltung,

Erkennung redundanter stuck-at-Fehler.

Die Kombination beider Testprinzipien, des "logischen Tests" und des "Iddq-Tests" bietet somit als Vorteil eine hohe Erfassbarkeit von parametrischen (Verzögerungsfehler, hochohmige Brückenfehler) und funktionalen Fehlern (stuck-at-, stuck-open- und niederohmigen Brückenfehlern). Dieser Vorteil ist mit einem Hardware-Mehraufwand von ca. 25% günstig realisierbar. Dabei ergibt sich ein Trade-Off zwischen dem Hardware-Mehraufwand, dem Widerstand R_{smax} des erkennbaren Kurzschlußfehlers und der Testgeschwindigkeit für den Stromsensor.

In einer weiterführenden Ausgestaltung der Erfindung wird gegenüber den bekannten Ausführungen für den Stromsensor durch Vorladung eines lokalen Knotens (N1) und Auswertung mittels eines NOR-Gatters eine Erhöhung der Testgeschwindigkeit bei geringem Schaltungsaufwand bewirkt. Die betrachteten, hochohmigen Knoten (VDD und N1) sind lokale Knoten, die kurz ausgeführt werden können, so daß dadurch die Störsicherheit des Testverfahrens gewährleistet ist. Die Auswertung durch das globale NOR-Gatter erfolgt aus diesen Gründen (mittels TPX) ratiometrisch.

Zeichnung

Anhand einer Zeichnung wird die Erfindung näher erläutert.

Es zeigen:

Fig. 1 ein Blockschaltbild eines Selbsttestverfahrens, Fig. 2 eine Blockschaltbilddarstellung des Stromsensormoduls aus Fig. 1,

Fig. 3 eine Schaltung eines Teil-Stromsensors aus Fig. 2 und

Fig. 4 ein Taktschema.

In Fig. 1 ist ein Blockschaltbild für das Selbsttestverfahren dargestellt, wobei die zu testende Schaltung aus einem Eingangsregister E-LRSR, einem Ausgangsregister A-LRSR und einer kombinatorischen Logik KL besteht. Das Eingangsregister E-LRSR und das Ausgangsregister A-LRSR sind multifunktionale, linear rückgekoppelte Schieberegister.

Die kombinatorische Logik KL ist als statische CMOS-Logik ausgeführt und in einzelne Blöcke partitioniert, wobei deren Energiezuführungen getrennt über einen jeweils zugeordneten Teilstromsensor TSS (Fig. 3) geführt werden.

Die Teilstromsensoren TSS sind zu dem in Fig. 1 dargestellten Stromsensormodul SSM zusammengefaßt.

Die Teilstromsensoren TSS bzw. das Stromsensormodul SSM sind jeweils mit dem Eingangsregister E-LRSR, den partitionierten Blöcken der kombinatorischen Logik KL und dem Ausgangsregister A-LRSR entsprechend den Anschlüssen VVdd1...VVddn verbunden.

Über die Anschlüsse PH1, PH2 und PH3 werden entsprechende Taktsignale vorgegeben, wobei PH1 und PH2 am Eingangsregister E-LRSR und PH3 am Stromsensormodul SSM angeschlossen ist. Am Ausgang des Stromsensormoduls wird im Falle eines erfaßten Fehlers ein Fehlersignal ERROR zur Verfügung gestellt.

In Fig. 2 ist das Stromsensormodul SSM detaillierter dargestellt und besteht aus Teil-Stromsensoren TSS, deren Schaltung in Fig. 3 gezeigt ist.

Die Ausgangsstufen (TN2) der Teilstromsensoren TSS bilden mit der Stufe TPX ein NOR-Gatter.

Die Teilstromsensoren TSS bestehen jeweils gemäß Fig. 3 aus einem ersten Transistor TP1 und aus Sensie-

Transistoren, nämlich einem zweiten Transistor TP2, einem dritten Transistor PN1 und einem vierten Transistor TN2. Der erste Transistor TP1 ist sowohl an ein Taktsignal PH als auch an die Energiezuführung VDD und einen Knoten VVDD angeschlossen, wobei der Knoten VDD mit einem Register E-LRSR oder A-LRSR oder einem Block der kombinatorischen Logik LK verbunden ist (sh. Fig. 2).

Der zweite Transistor TP2 und der dritte Transistor TN1 sind in Reihe dem ersten Transistor TP1 nachgeschaltet, wobei der zweite Transistor TP2 eingangsseitig ebenfalls an den Knoten VDD und der dritte Transistor TP2 eingangsseitig an ein Taktsignal PHN angeschlossen sind.

Ein lokaler Knoten N1 zwischen dem zweiten Transistor TP2 und dem dritten Transistor TN1 ist mit dem Eingang des vierten Transistors TN2 verbunden, dessen Ausgang mit der Schaltstufe TPX aus Fig. 2 das NOR-Gatter bildet, dem ein D-Latch nachgeschaltet ist.

In Fig. 4 ist ein Taktschema für die erzeugten Taktsignale PH1, PH2 und PH3 aufgetragen, wobei die ersten beiden Zeitphasen T1 und T2 eine Betriebsphase und die dritte Zeitphase T3 eine Testphase darstellen sollen.

Die in den Fig. 1 bis 4 gezeigte Anordnung hat folgende Funktion:

Der erste Transistor TP1 der Teilstromsensoren nach Fig. 3 ist im Normalbetrieb der Schaltung ständig eingeschaltet. Im Testbetrieb wird ein Testmuster durch das Eingangsregister E-LRSR über die Taktsignale PH1 und PH2 an die kombinatorische Logik KL angelegt. Dabei sind der erste Transistor TP1 und der dritte Transistor TN1 eingeschaltet und der zweite Transistor TP2 und vierte Transistor TN2 gesperrt. Der lokale Knoten N1 wird damit auf 0 Volt vorgeladen, entsprechend einem Taktsignal PH3.

Nachdem die transienten Ströme in der angeschlossenen Schaltung abgeklungen sind, entsprechend einer Laufzeit des kritischen Pfades, werden der erste Transistor TP1 und der dritte Transistor TN1 ausgeschaltet.

Ist die Schaltung fehlerfrei, bleibt der Knoten VVDD hochohmig und der zweite Transistor TP2 und vierte Transistor TN2 schalten nicht durch. Bei einem Fehler sinkt jedoch das Potential am Knoten WDD unter die Schaltschwelle des zweiten Transistors TP2, so daß dieser durchschaltet und dadurch den lokalen Knoten N1 auflädt, worauf der vierte Transistor TN2 durchschaltet und über das NOR-Gatter eine Fehlermeldung erfolgt. Insbesondere wird als Fehlermeldung eine logische "0" bei einem Kurzschlußfehler in einem oder mehreren Blöcken der kombinatorischen Logik LK oder den Registern E-LRSR oder A-LRSR in das D-Latch eingespeist.

Das Eingangsregister E-LRSR erzeugt im Testbetrieb Pseudozufallsmuster und das Ausgangsregister A-LRSR komprimiert die Testantworten der kombinatorischen Logik zu einer Signatur, während das Stromsensormodul SSM die Aufgabe hat, festzustellen, ob Kurzschluß-Fehler (stuck-at-Fehler und Brückenfehler) in der Schaltung oder den Registern vorhanden sind.

Die Sensierung der statischen Stromaufnahme wird durch ein dynamisches Meßverfahren bewirkt, welches die Entladung der Kapazitäten am Knoten VVDD über den Widerstand des Kurzschlußfehlers mißt. Dabei hängt die Größe des maximal erkennbaren Kurzschlußfehler-Widerstandes R_{smax} von der Dauer der Testphase T3 (Fig. 4) ab. Daraus ergibt sich der Trade-Off für die Partitionierung der zu testenden Schaltung in Blöcke und die Dimensionierung des Stromsensors:

Der erste Transistor TP1 muß so dimensioniert werden, daß durch seinen Bahnwiderstand R_{on} ein vorgegebener Spannungsabfall ΔU_{max} bei einer maximalen transienten Stromaufnahme I_{trmax} des Schaltungsblocks nicht überschritten wird. Eine Vergrößerung von TP1 bewirkt jedoch einen Anstieg seiner parasitären Kapazitäten und beeinflusst damit die Testgeschwindigkeit D3 bei vorgegebenem R_{smax} oder R_{smax} bei vorgegebenem T3. I_{trmax} wird daher für die kleinste Blockgröße der Schaltung bestimmt und nach Vorgabe von ΔU_{max} der minimale Wert für TP1 bestimmt. Daraus ergibt sich dann der Trade-Off zwischen den Parametern Blockgröße/Hardwareaufwand-Testgeschwindigkeit- R_{smax} . Der zweite Transistor TP2 wird klein gewählt, um die kapazitive Belastung am Knoten VVDD aus obigen Gründen möglichst klein zu halten. Der dritte Transistor TN1 kann ebenso minimal ausgelegt werden. Der vierte Transistor TN1 wird zusammen mit TPX so ausgelegt, daß das NOR-Gatter möglichst schnell durchschaltet.

Mit der dargestellten Anordnung können verschiedene Testmodi, abhängig von der Beschaltung von PH1—PH3 realisiert werden, wobei beim "logischen Test" die Reaktion der Schaltung auf die Teststimuli des Eingangsregisters E-LRSR im Ausgangsregister A-LRSR beobachtet wird und beim "Iddq-Test" die Reaktion durch den Stromsensor beobachtet wird.

Wenn beispielsweise bei einem 9Bit-Addierer eine Fehlersimulation bezüglich der erwähnten Fehlermodelle durchgeführt wird, ergibt sich beim Iddq-Test eine Fehlererfassung von 100% für stuck-at- und Brückenfehler nach ca. 10 Testvektoren, welche mittels der Register erzeugt werden. Dies bedeutet, bei einer 20 MHz-Taktfrequenz eine Testzeit von 500 ns. Nach 100 Testvektoren ergab sich im logischen Test eine Fehlererfassung von ca. 95% für stuck-open-Fehler und Verzögerungsfehler, entsprechend einer Testzeit von 5 μ s.

Der Stromsensor ist durch Einführung einer zusätzlichen Taktphase T3 auch zur Online-Beobachtung ("concurrent check") einsetzbar. Die zusätzliche Taktphase muß eingeführt werden, da aufgrund des Funktionsprinzips des Stromsensors (floatende VDD) beim Iddq-Test keine sichere logische Funktion gewährleistet werden kann. Es lassen sich damit folgende Testmodi realisieren (sh. auch Fig. 4):

Ia) Offline-BIST (Built-In Self-Test): Wird auf eine zusätzliche Taktphase PH3 verzichtet, so wird PH2 für die Stromsensierung genutzt. Daher müssen logischer Test und Iddq-Test in zwei Testläufen durchgeführt werden. Dabei muß u. U. im Iddq-Test mit verringerter Taktfrequenz getestet werden, da die zu testende Schaltung eingeschungen sein muß (kritischer Pfad), bevor die statische Stromaufnahme sensiert werden kann.

Ib) Offline-BIST: Wird die zusätzliche Taktphase PH3 eingeführt, so können der logische Test und der Iddq-Test gleichzeitig durchgeführt werden. Der logische Test findet dann entsprechend Abb. 4 in den Phasen T1 und T2, entsprechend den Taktphasen PH1 und PH2 statt; der Iddq-Test wird in T3 durchgeführt.

II) Online-Test (concurrent check): Hierzu wird in jedem Fall die zusätzliche Taktphase PH3 benötigt. Die logische Funktion der Schaltung ergibt sich in T1 und T2 (Taktphase PH1 und PH2); in T3 wird geprüft, ob ein Kurzschlußfehler in der Schaltung vorliegt.

Der Stromsensor kann komplementär zur Fig. 3 auch als GND-Sensor ausgelegt werden. Weiterhin läßt er sich auch in ein- oder mehrphasigen Taktsystemen einsetzen.

Patentansprüche

1. Selbsttestverfahren für nicht-reguläre CMOS-Schaltstrukturen mit hoher Defekterfassung, dadurch gekennzeichnet, daß die zu testende Schaltung aus einem Eingangsregister (E-LRSR), einem Ausgangsregister (A-LRSR) und einer kombinatorischen Logik (KL) besteht, wobei das Eingangsregister (E-LRSR) und das Ausgangsregister (A-LRSR) als multifunktionale, linear rückgekoppelte Schieberegister und die kombinatorische Logik (KL) als statische CMOS-Logik ausgeführt werden, daß die kombinatorische Logik (KL) als statische CMOS-Logik in einzelne Blöcke partitioniert wird und deren Energiezuführungen (VDD) getrennt über einen jeweils zugeordneten Teilstromsensor (TSS) geführt werden, daß während einer Testphase das Eingangsregister (E-LRSR) Pseudozufallsmuster als Teststimuli erzeugt und das Ausgangsregister (A-LRSR) im Testbetrieb die Testantworten der kombinatorischen Logik (KL) zu einer Signatur komprimiert, wobei die Reaktion der Schaltung auf die Teststimuli zur Erkennung und Erfassung von stuck-at-, stuckopen-, Brücken- und Verzögerungsfehlern an den primären Ausgängen der Schaltung, insbesondere des Ausgangsregisters (A-LRSR) beobachtet wird, daß während einer Testphase zur Erkennung und Erfassung von hochohmigen Kurzschlußfehlern, Brückenfehlern und redundanten stuck-at-Fehlern im Eingangsregister (E-LRSR), im Ausgangsregister (A-LRSR) oder in der kombinatorischen Logik (KL) die Reaktion der Schaltung durch Sensierung der statischen Stromaufnahme durch die Teilstromsensoren beobachtet wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Teilstromsensoren (TSS) in einem Stromsensormodul (SSM) zusammengefaßt werden.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Ausgangsstufen (TN2) der Teilstromsensoren (TSS) mit einer weiteren Schaltstufe (TPX) ein NOR-Gatter bilden, welches bei einem Kurzschlußfehler in einem oder mehreren Blöcken der kombinatorischen Logik (KL) oder dem Eingangsregister (E-LRSR) oder dem Ausgangsregister (A-LRSR) als Fehlermeldung ein logisches Signal ("0"-Signal) in ein Register (D-Latch) einspeist.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Sensierung der statischen Stromaufnahme durch ein dynamisches Meßverfahren bewirkt wird, wobei die Teilstromsensoren jeweils aus einem ersten Transistor (TP1), welcher im Normalbetrieb ständig eingeschaltet ist, und aus Sensierungstransistoren als jeweils zweitem Transistor (TP2), drittem Transistor (TN1) und viertem Transistor (TN2) bestehen, daß der erste Transistor (TP1) an einem Knoten (VVDD), der mit einem der Register (E-LRSR; A-LRSR) oder der kombinatorischen Logik (KL) verbunden ist, die Energiezuführung (VDD) und ein Taktsignal (PH) angeschlossen sind, daß der zweite Transistor (TP2)

und dritte Transistor (TN1) in Reihe dem ersten Transistor (TP1) nachgeschaltet sind, wobei der zweite Transistor (TP2) eingangsseitig ebenfalls an den Knoten (VVDD) und der dritte Transistor (TP2) eingangsseitig an ein Taktsignal (PHN) angeschlossen sind, daß ein lokaler Knoten (N1) zwischen dem zweiten Transistor (TP2) und dem dritten Transistor (TN1) mit dem Eingang des vierten Transistors (TN2) verbunden ist, dessen Ausgang mit einer Schaltstufe (TPX) ein NOR-Gatter bildet, daß im Testbetrieb ein Testmuster durch das Eingangsregister (E-LRSR) über Taktsignale (PH1 und PH2) an die kombinatorische Logik (KL) angelegt wird, wobei der erste Transistor (TP1) und dritte Transistor (TN1) eingeschaltet und dadurch der zweite Transistor (TP2) und vierte Transistor (TN2) gesperrt sind und somit der lokale Knoten (N1) auf 0 Volt vorgeladen wird, entsprechend einem Taktsignal (PH3) und daß, nachdem die transienten Ströme in der angeschlossenen Schaltung abgeklungen sind, entsprechend einer Laufzeit des kritischen Pfades der erste Transistor (TP1) und dritte Transistor (TN1) ausgeschaltet werden, daß dadurch bei keinem Fehler in der Schaltung der Knoten (VVDD) hochohmig bleibt und der zweite Transistor (TP2) und vierte Transistor (TN2) nicht durchschalten, jedoch bei einem Fehler das Potential am Knoten (VVDD) unter die Schaltschwelle des zweiten Transistors (TP2) absinkt, dieser durchschaltet und dadurch den lokalen Knoten (N1) auflädt, worauf der vierte Transistor (TN2) durchschaltet und über das NOR-Gatter eine Fehlermeldung erfolgt.

Hierzu 2 Seite(n) Zeichnungen

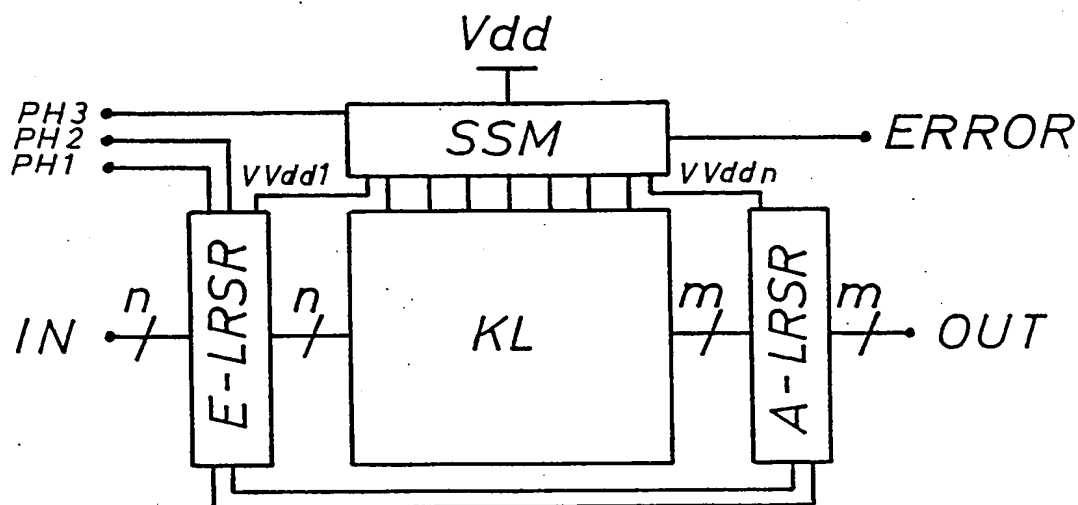


FIG.1

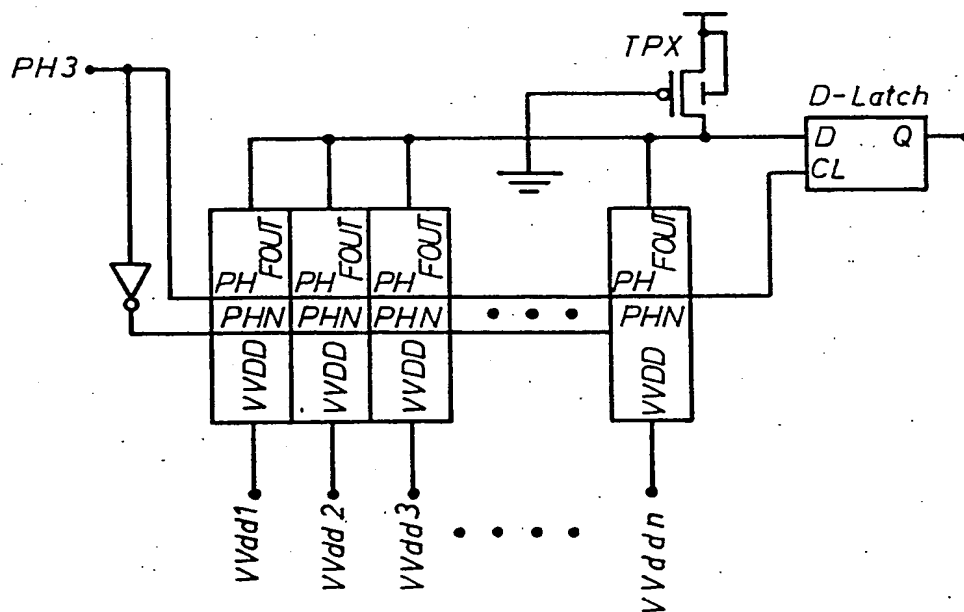


FIG. 2

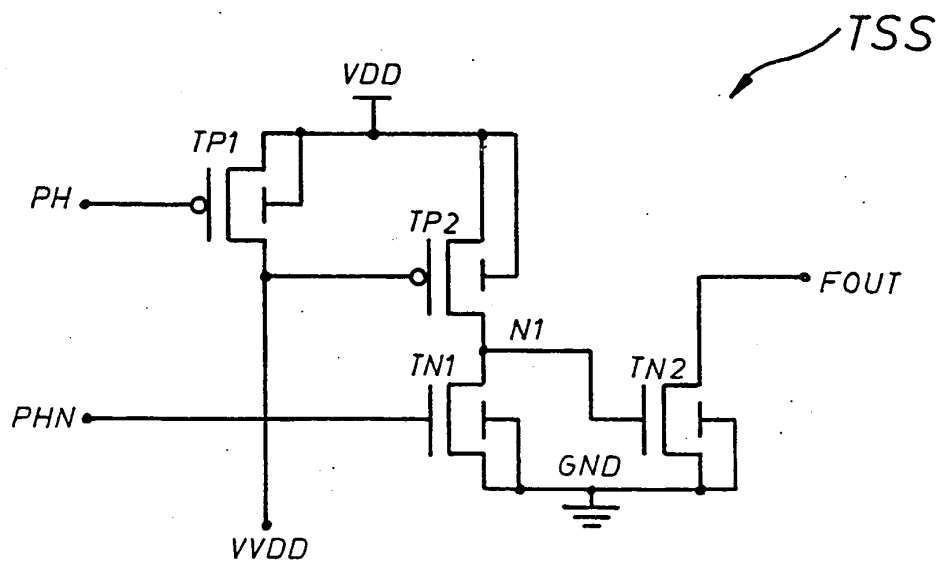


FIG. 3

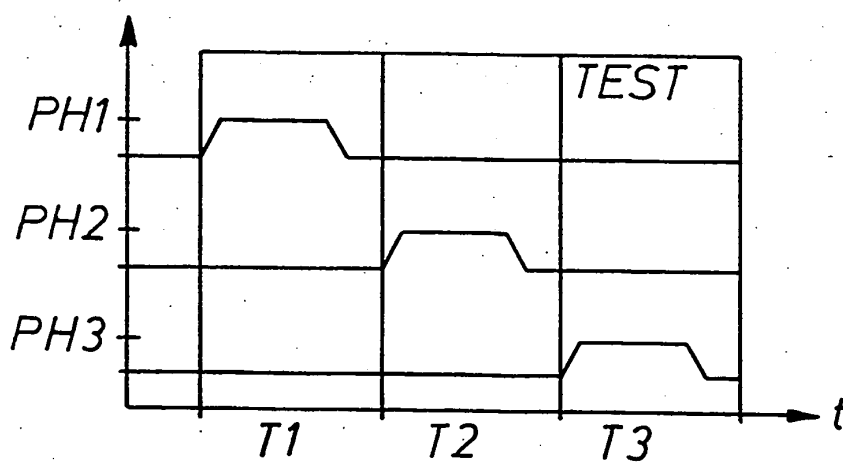


FIG.4